

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-263436

(43)Date of publication of application : 11.10.1996

(51)Int.Cl. G06F 13/42  
 G06F 1/04  
 G06F 1/06  
 G06F 1/12  
 G06F 13/00  
 G06F 15/16

(21)Application number : 07-061249

(22)Date of filing : 20.03.1995

(71)Applicant : FUJITSU LTD

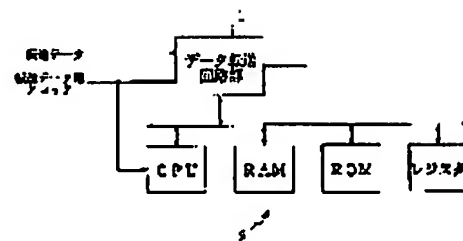
(72)Inventor : SHIWACHI SHINICHI  
 IWAKIRI MASAHIKO  
 SAKAI TOSHIYUKI  
 SUZUKI AYA

## (54) DATA TRANSFER DEVICE

## (57)Abstract:

**PURPOSE:** To prevent a data error by preventing crosstalk from being superimposed at the timing of latch by driving the operation clock of a data transfer circuit part and the system clock of a CPU control part corresponding to the same clock signal.

**CONSTITUTION:** This device is provided with a data transfer circuit part 1 for inputting a clock for transfer data and transferring data based on this clock signal and a CPU control part 2 for controlling the data transfer of this data transfer circuit 1. Then, the operation clock of the data transfer circuit part 1 and the system clock of the CPU control part 2 are driven by using the same clock signal. Therefore, the crosstalk exerted from the system bus of a CPU onto the transfer data is synchronously superimposed. Thus, the latch error of transfer data can be suppressed at a minimum and the influence of crosstalk at the latch timing of transfer data can be avoided.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-263436

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/42	3 5 0	9188-5E	G 0 6 F 13/42	3 5 0 B
1/04	3 0 2		1/04	3 0 2 A C5
1/06			13/00	3 0 1 D
1/12			15/16	3 3 0 C
13/00	3 0 1		1/04	3 1 0 A C2

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平7-61249

(22) 出願日 平成7年(1995)3月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 志和地 真一

福岡県福岡市博多区博多駅前3丁目22番8号 富士通九州デジタル・テクノロジー株式会社内

(72) 発明者 岩切 政彦

福岡県福岡市博多区博多駅前3丁目22番8号 富士通九州デジタル・テクノロジー株式会社内

(74) 代理人 弁理士 井桁 貞一

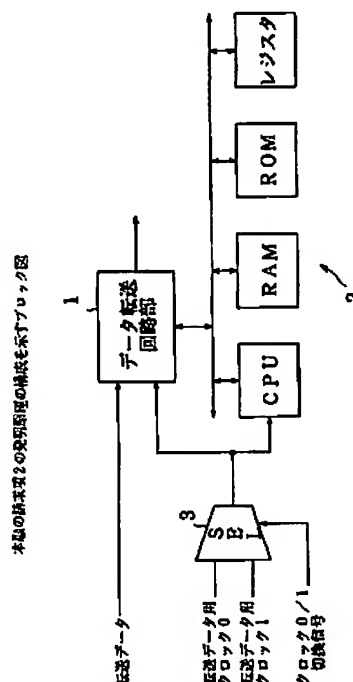
最終頁に続く

(54) 【発明の名称】 データ転送装置

## (57) 【要約】

【目的】 データ転送回路部とそのデータ転送回路部を制御するCPU制御部を有するデータ転送装置において、夫々独立したクロックを有する際のクロストークによるデータエラーを未然に防止できるようにすること。

【構成】 複数のクロックを選択するクロック切換部3を設ける。このクロック切換部3で切換えられたクロック信号をデータ転送回路部1とCPU制御部2に加える。こうすれば同一のクロックがデータ転送回路部1とCPU制御部2とに用いられるため、ラッチのタイミングでのクロストークを同期化でき、転送データのラッチミスが未然に防止できることとなる。



## 【特許請求の範囲】

【請求項1】 (a) クロック信号が入力され、該クロック信号に基づいてデータを転送するデータ転送回路部と、(b) 前記データ転送回路部のデータ転送を制御するCPU制御部と、を具備し、

前記データ転送回路部の動作クロックと前記CPU制御部のシステムクロックとを同一のクロック信号を用いて駆動することを特徴とするデータ転送装置。

【請求項2】 複数のクロック信号及びクロック切換信号が入力され、前記データ転送回路部及び前記CPU制御部を駆動するクロック信号を、複数のクロック信号から選択するクロック切換部を有することを特徴とする請求項1記載のデータ転送装置。

【請求項3】 前記クロック切換部は、入力されるクロックを外部からの制御信号に基づいてマスクするマスク部、及び前記マスク部の出力が夫々入力される選択部、を有するものであり、

当該データ転送装置は、クロック切換信号に基づき、選択されているクロック信号に同期して前記マスク部によりクロック信号をマスクすると共に、切換えられる信号に同期して前記選択部によりクロック信号を切換えるクロック切換制御部を有することを特徴とする請求項2記載のデータ転送装置。

【請求項4】 クロック切換信号に基づいてCPUを一時停止すると共に、一時停止の確認後に前記クロック切換部にクロック切換信号を出力するホールト制御部を有することを特徴とする請求項2記載のデータ転送装置。

【請求項5】 前記クロック切換部により切換えられたクロック信号の遮断を検出するクロック断検出部を有し、前記クロック断検出部によってクロックの遮断が検出されたときに他方のクロック信号に切換えるようにしたことを特徴とする請求項2記載のデータ転送装置。

【請求項6】 入力されるクロック毎にその遮断を検出する個別クロック断検出部を有し、遮断されないクロック信号及び装置内のクロック信号を前記クロック切換部により選択するようにしたことを特徴とする請求項2記載のデータ転送装置。

【請求項7】 前記クロック切換部によって選択されたクロック信号が基準信号として入力され、該基準信号に基づいて位相ロックした位相制御発振器を有し、該位相制御発振器より前記データ転送回路部及びCPU制御部にクロック信号を供給することを特徴とする請求項2記載のデータ転送装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、CPUを用いて構成されるデータ転送装置に関するものである。

【0002】

【従来の技術】従来、マイクロコンピュータ(CPU)を用いてデータ転送回路部を制御するデータ転送装置に

においては、CPUのシステムクロックはCPUボード内のクロックの発振器から供給されている。一方、データ転送部は外部より供給されるクロックにより動作する。このため、CPU内のシステムバスと転送データのバスとは全く非同期で動作することとなる。

【0003】

【発明が解決しようとする課題】しかし、近年CPUが高速化するに伴ってCPUのシステムバスから転送データバスに対してクロストークが生じることがある。このクロストークは、転送データのラッチのタイミングで転送データに重畳されたときには、データのエラーを引き起こす恐れがあるという欠点があった。

【0004】本発明は、このような従来の問題点を解決することを目的とし、ラッチのタイミングでクロストークの重畳が生じないようにしてデータエラーを未然に防止するデータ転送装置を提供することにある。

【0005】

【課題を解決するための手段】本願の請求項1の発明は、図1の発明原理ブロック図に示すように、転送データ用クロックが入力され、該クロック信号に基づいてデータを転送するデータ転送回路部1と、該データ転送回路部1のデータ転送を制御するCPU制御部2と、を有して構成されている。そして、データ転送回路部1の動作クロックとCPU制御部2のシステムクロックとを同一のクロック信号を用いて駆動するようにしたものである。

【0006】又本願の請求項2の発明は、複数のクロック信号、例えば図2の発明原理ブロック図に示すように転送用データクロック0、転送データ用クロック1とクロック切換信号とが入力され、データ転送回路部1及びCPU制御部2を駆動するクロック信号を、複数のクロック信号から選択するクロック切換部3を有することを特徴とするものである。

【0007】又本願の請求項3の発明は、図3の発明原理ブロック図に示すように、クロック切換部3を、入力されるクロック、即ち転送データ用クロック0及びクロック1を外部からのクロック切換信号に基づいてマスクするマスク部とマスク部の出力が入力される選択部(SEL)とにより構成している。又クロック切換信号に基づいて所定時間、このマスク部によりクロック信号をマスクすると共に、その後選択部によりクロック信号を切換えるクロック切換制御部4を有している。

【0008】本願の請求項4の発明は、図4の発明原理ブロック図に示すように、クロック切換部3に加えてクロック切換信号が入力されたときにCPU制御部2のCPUを一時停止すると共に、一時停止の確認後にクロック切換部3にクロック切換信号を出力するホールト制御部5を有するものである。

【0009】又本願の請求項5の発明は、図5の発明原理ブロック図に示すように、クロック切換部3により切

3

換えられたクロック信号の遮断を検出するクロック断検出部 6 を有し、クロック断検出部 6 によってクロックの遮断が検出されたときにクロック切換部 3 に切換信号を出力して他方のクロック信号に切換えるようにしたものである。

【0010】又本願の請求項 6 の発明は、図 6 の発明原理ブロック図に示すように、入力されるクロック毎にその遮断を検出する個別クロック断検出部 7 を有し、遮断されていないクロック信号又は装置内のクロック信号をクロック切換部 3 により選択するようにしたものである。

【0011】又本願の請求項 7 の発明は、図 7 の発明原理ブロック図に示すように、クロック切換部 3 によって選択されたクロック信号が基準信号として入力され、該基準信号に基づいて位相ロックする位相制御発振器 8 を有し、該位相制御発振器 8 よりデータ転送回路部 1 及び CPU 制御部 2 にクロック信号を供給するものである。

【0012】

【作用】このような特徴を有する本願の請求項 1 の発明によれば、CPU 制御部 2 とデータ転送回路部 1 とが同一のクロックを使用するため、CPU のシステムバスが転送データに及ぼすクロストークが同期されて重畳される。このため、転送データのラッチタイミングでのクロストークの影響が回避できることとなる。又請求項 2 の発明では、転送データ用クロックを複数系統とし、このクロックの中から選択したクロックをデータ転送回路部 1 と CPU 制御部 2 とに入力するようにしている。更に、請求項 3 の発明では、クロック切換え時に一旦そのクロックに同期して転送用データクロックをマスクし、切換えられるクロック信号に同期して切換信号を出力し、切換えられるクロック信号のマスクを解除するようにしている。こうすれば、クロック波形の乱れやひげの発生がなく、クロックが切換えられる。又請求項 4 の発明では、クロック切換信号によって CPU を一旦停止状態とし、停止が確認された後にクロックを切換えるようにしている。請求項 5 の発明では、選択されたクロックが遮断されたかどうかを検知し、遮断されればそのクロックと異なったクロック信号を選択するようにしている。このため自立的に他系のクロックに選択して変更することができ、最短時間で CPU の動作を再開できることとなる。又請求項 6 の発明では、各クロックを個別に遮断したかどうかを検出し、遮断した場合には遮断されていないクロック又は内部クロックを自動的に選択することにより、CPU の動作が停止しないようにしている。請求項 7 の発明では、選択後のクロックを基準信号とする位相制御発振器 8 を用い、この発振信号をクロック信号として用いたものである。

【0013】

【実施例】次に、本発明によるデータ転送装置の具体的実施例につき、図面を参照しつつ説明する。図 8 は、本

4

発明の請求項 1, 2, 3 の発明を具体化した第 1 実施例の詳細な構成を示すブロック図である。本実施例は、24 M データ転送装置、即ち 24 MHz のシリアルデータを受信及び送信するデータ転送装置である。本図においてデータ転送回路部 1 は、S/P 変換部 1 a, P/S 変換部 1 b から成り立っている。この S/P 変換部 1 a は、受信された 24 MHz のシリアル受信転送データを入力とし、パラレル信号に変換して 8 ビットの 3 MHz の受信信号とする S/P 変換部である。更に、S/P 変換部 1 a は、データに多重されているアラーム情報を抽出して CPU のシステムバスに転送する機能を有している。又データ転送装置より送信すべき送信データを 3 MHz, 8 ビットのパラレルデータとすると、このデータは P/S 変換部 1 b に入力される。この P/S 変換部 1 b は、入力されるクロック信号に基づいて入力信号をシリアル信号に変換し、24 MHz の送信転送データとして出力するものである。又 CPU システムバスから加えられるアラームをその転送データに挿入する機能を有している。さて、CPU システムバスには、これらの制御を行う CPU 制御部 2 として CPU 2 a, メモリ 2 b 及びハードレジスタ 2 c が接続されている。

【0014】次に、クロックの切換えを行うクロック切換部 3 及びクロック切換制御部 4 について説明する。このデータ転送装置は、データ転送用のクロック 0 とクロック 1 とを転送レートに応じて選択するものとする。このクロック 0, クロック 1 は、夫々クロック切換部 3 のアンド回路 3 a, 3 b に入力される。このクロック切換部 3 は切換信号に基づきいずれか一方のクロックを選択するものであり、切換信号はアンド回路 3 a, 3 b に入力される。そして、アンド回路 3 a, 3 b は一方のクロックをマスクするマスク部を構成しており、その出力は選択部であるオア回路 3 c を介して S/P 変換部 1 a, P/S 変換部 1 b 及び CPU 2 a にクロックとして入力される。

【0015】さて、クロック切換制御部 4 は切換スイッチ SW の一端がプルアップ抵抗を介して電源端に接続され、その出力がフリップフロップ 4 a に入力され、更にインバータ 4 b に接続される。このフリップフロップ 4 a は D 型フリップフロップが縦続接続されたものであり、その Q 出力はフリップフロップ 4 c とアンド回路 4 d とに入力される。又フリップフロップ 4 c も D 型フリップフロップが縦続接続されたものであって、その Q 出力はアンド回路 4 d の他方の入力端に接続されている。これらのフリップフロップ 4 a, 4 c には、転送データ用クロック 0 がインバータ 4 e を介してクロック信号として供給される。一方、インバータ 4 b には D 型フリップフロップを縦続したフリップフロップ 4 f, 4 g が縦続接続され、夫々の Q 出力端がアンド回路 4 h に入力される。又フリップフロップ 4 f, 4 g のクロック入力端子には、転送データ用クロック 1 がインバータ 4 i を介

して接続されている。

【0016】次に、本実施例の動作について説明する。転送データ用のクロック 0 に代えてクロック 1 を選択する際には、クロック切換スイッチ SW をオフからオンとする。そうすれば、L レベルの信号がフリップフロップ 4 a に入力され、2 クロック後にフリップフロップ 4 c にも入力される。このため、フリップフロップ 4 c の出力が L レベルとなればアンド回路 4 d の出力、アンド回路 3 a の出力も L レベルとなってクロック 0 がマスクされる。一方、クロック切換スイッチ SW の L レベル出力はインバータ 4 b で反転してフリップフロップ 4 f、4 g に加えられるため、夫々 2 D 遅延し、4 D 後にアンド回路 4 h の出力は H レベルとなる。この出力がアンド回路 3 b に入力され、データ転送用クロック 1 に同期した信号が出力される。従って、オア回路 3 c の出力にクロックに乱れやひげが発生することなく、クロック 0 系からクロック 1 系へ切換えることができる。

【0017】図 9 は本願の請求項 1、2、4 の発明を具体化した第 2 実施例を示すブロック図であり、前述した第 1 実施例と同一部分は同一符号を付して詳細な説明を省略する。図 9 においてスイッチ SW の出力はホール制御部 (HALT 制御部) 5 に入力される。この HALT 制御部 5 は、図示のようにクロック切換スイッチ SW に一端が接続されるクロック切換検出部 5 a とフリップフロップ 5 b、及びクロックを計数するカウンタ 5 c とを有している。このクロック切換検出部 5 a は、切換時に L レベルの信号を RS フリップフロップ 5 d にリセット信号として出力するものである。又フリップフロップ 5 b はスイッチ SW の一端が入力端に接続され、CPU の HALT・ACK 信号がクロック入力端子に接続される。その Q 出力は、クロック切換部 3 に切換信号として入力される。一方、カウンタ 5 c はクロック切換部 3 で選択されたクロック信号の所定数、例えば 16 パルスを計数するものであり、そのオーバフロー出力は RS フリップフロップ 5 d にセット信号として入力され、RS フリップフロップ 5 e にリセット信号として入力される。又 RS フリップフロップ 5 d はその Q 信号を CPU 2 a の HALT ーバ信号として出力するものである。この出力をカウンタ 5 c のイネーブル信号として出力するものである。

【0018】次に、本実施例の動作について説明する。クロック切換スイッチ SW がオフでその出力が H レベルのときには、転送データ用クロック 1 が選択されているものとする。このクロック切換スイッチ SW を例えばオフ状態からオン状態とすると、クロック切換スイッチ SW の出力信号は L レベルとなり、切換え毎にクロック切換検出部 5 a は短時間 L レベルの信号を出力し、RS フリップフロップ 5 d をリセットする。このため、RS フリップフロップ 5 d は Q 出力が L レベルとなって CPU 2 a にホールト (停止) 命令がかかる。そして、CPU

内でホールトの切換えが完了すると、ホールトの完了信号 (HALT・ACK 信号) がフリップフロップ 5 b に入力される。従って、フリップフロップ 5 b はクロック切換スイッチ SW の出力状態である L レベルを出力し、クロック切換部 3 に L レベルを加える。従って、転送データ用クロック 0 が選択されることとなり、このクロックが S/P 変換部 1 a、P/S 変換部 1 b 及び CPU 2 a に入力される。このとき、HALT・ACK 信号が RS フリップフロップ 5 e に加えられ、セット状態となってカウンタ 5 c がイネーブルとなっている。従って、選択された転送データ用クロック 0 がカウンタ 5 c に加わり、カウンタ 5 c は計数を開始する。そして、例えば 16 カウントを計数すると、そのオーバフロー出力が RS フリップフロップ 5 d をセット状態とし、CPU 2 a のホールトを停止する。同時に、RS フリップフロップ 5 e をリセット状態としてカウンタ 5 c の動作を停止する。従って、CPU 2 a は停止解除後所定時間後に停止命令が解除され、通常状態に復帰することとなる。

【0019】次に、本願の請求項 5、6 の発明を具体化した第 3 実施例について説明する。図 10 は本発明の第 3 実施例の構成を示すブロック図であり、前述した第 1、第 2 実施例と同一部分は同一符号を付して詳細な説明を省略する。転送データ用のクロック 0 及び 1 はクロックを切換えるクロック切換回路 3 d に接続され、更にクロック断検出部 7 a、7 b に入力される。このクロック断検出部 7 a は単安定マルチバイブレータ (MM) から成り、転送データ用クロック 1 が遮断したことを検出し、遮断時には検出信号をクロック切換制御部 7 c に出力するものである。又クロック断検出部 7 b も同様に単安定マルチバイブレータから成り、転送データ用クロック 0 が遮断したことを検知するものであって、その検出出力はクロック切換制御部 7 c に入力される。一方、クロック切換制御部 7 c は現在選択しているクロックが遮断したときには切換信号をクロック切換回路 3 d に出力すると共に、双方のクロック断検出部 7 a、7 b より検出信号が入力されればクロック切換回路 3 e に出力するものである。このクロック切換回路 3 e はクロック切換回路 3 d の切換信号が一方の入力端に入力され、他方の入力端にはこれと異なる内部クロック信号が入力されている。又 CPU リセット信号生成部 7 d は、クロック切換制御部 7 c によるクロック切換え毎に一定時間 CPU 2 a をリセットするためのリセット信号を生成するものである。

【0020】次に、本実施例の動作について説明する。動作中には転送データ用クロック 0 又は 1 のいずれかがクロック切換回路 3 d、3 e により選択されており、CPU 2 a と S/P 変換部 1 a、P/S 変換部 1 b に入力される。さて、選択されている転送データ用クロック 1 が遮断した場合には、クロック断検出部 7 a はそのクロックの遮断を検出し、クロック切換制御部 7 c に出力を

与える。従って、クロック切換制御部 7 c より切換信号がクロック切換部 3 d に入力され、転送データ用クロック 0 に切換えられる。このとき、CPU 2 a は CPU リセット信号生成部 7 d により一定時間リセットされ、その後動作を開始する。このため、クロック異常による CPU の誤動作が防止できることとなる。又 2 つのクロックが同時に遮断した場合には、内部クロック 3 f が選択されることとなる。

【0021】次に、本願の請求項 7 の発明を具体化した第 4 実施例について説明する。図 11 は第 4 実施例の構成を示すブロック図であり、前述した各実施例と同一部分は同一符号を付して詳細な説明を省略する。本図において転送データ用のクロック 0 及びクロック 1 はクロック切換部 3 を介して PLO 部 8 に入力される。この PLO 部 8 は位相制御発振器であって、入力されたクロックと一定の関係にあるクロックを安定して発振し、S/P 変換部 1 a、P/S 変換部 1 b 及び CPU 2 a に出力するものである。このため、入力のクロックに異常が発生しても正常なクロックを生成して各部に加えることができる。又クロック切換時に異常が生じる場合にも PLO 部 8 より各部にクロックが供給されるため、CPU 2 a には誤動作を引き起こすことがなくなる。又入力クロックが双方とも断状態となっても PLO 部 8 より出力がなされるため、CPU 2 a は誤動作を引き起こさずに動作させることができる。

#### 【0022】

【発明の効果】以上詳細に説明したように、本発明によれば、CPU 制御部のクロックとデータ転送回路部とのクロックとを共通にしているため、CPU のシステムバスが転送データに及ぼすクロストークを同期化することができ、転送データのラッチミスを最小に抑えることができるという効果が得られる。又請求項 2 及び 3 の発明では、複数のクロックをクロック切換部を介して切換えるようにしているため、任意のクロックでデータ転送装置と CPU 制御部とを動作させることができる。又請求項 3 及び 4 の発明では、このようなクロックの切換え時にも CPU の誤動作を防止することができ、確実にクロックの切換えが可能となる。更に、本願の請求項 5 及び 6 の発明では、クロックが遮断したときには他方のクロックに自動的に切換えることができ、又請求項 6 では双方のクロックが遮断したときに内部クロックに自動的に

切換えることができる。

#### 【図面の簡単な説明】

【図 1】本願の請求項 1 の発明原理の構成を示すブロック図である。

【図 2】本願の請求項 2 の発明原理の構成を示すブロック図である。

【図 3】本願の請求項 3 の発明原理の構成を示すブロック図である。

【図 4】本願の請求項 4 の発明原理の構成を示すブロック図である。

【図 5】本願の請求項 5 の発明原理の構成を示すブロック図である。

【図 6】本願の請求項 6 の発明原理の構成を示すブロック図である。

【図 7】本願の請求項 7 の発明原理の構成を示すブロック図である。

【図 8】本発明によるデータ転送装置の第 1 実施例によるデータ転送装置の構成を示すブロック図である。

【図 9】本発明によるデータ転送装置の第 2 実施例によるデータ転送装置の構成を示すブロック図である。

【図 10】本発明によるデータ転送装置の第 3 実施例によるデータ転送装置の構成を示すブロック図である。

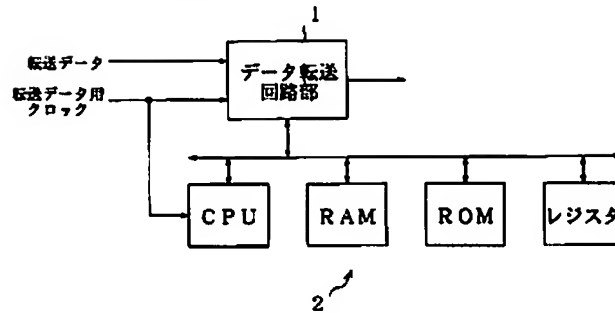
【図 11】本発明によるデータ転送装置の第 4 実施例によるデータ転送装置の構成を示すブロック図である。

#### 【符号の説明】

1	データ転送回路部
1 a	S/P 変換部
1 b	P/S 変換部
2	CPU 制御部
2 a	CPU
2 b	メモリ
2 c	ハードレジスタ
3	クロック切換部
4	クロック切換制御部
5	HALT 制御部
6	クロック断検出部
7	個別クロック断検出部
7 a、7 b	クロック断検出部
7 c	クロック切換制御部
7 d	CPU リセット信号生成部
8	PLO 部

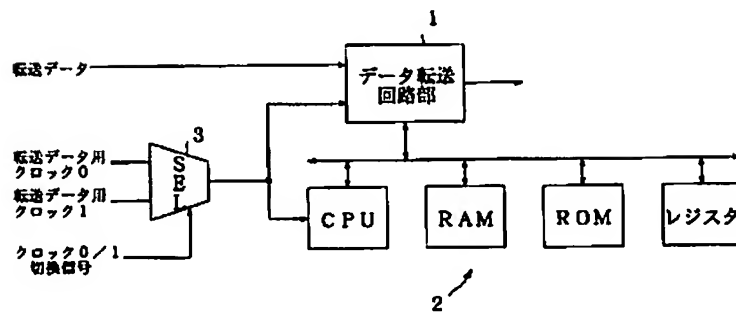
【図 1】

本願の請求項 1 の発明原理の構成を示すブロック図



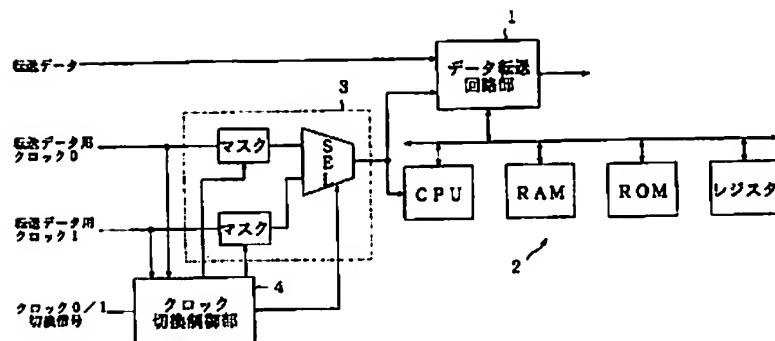
【図 2】

本願の請求項 2 の発明原理の構成を示すブロック図



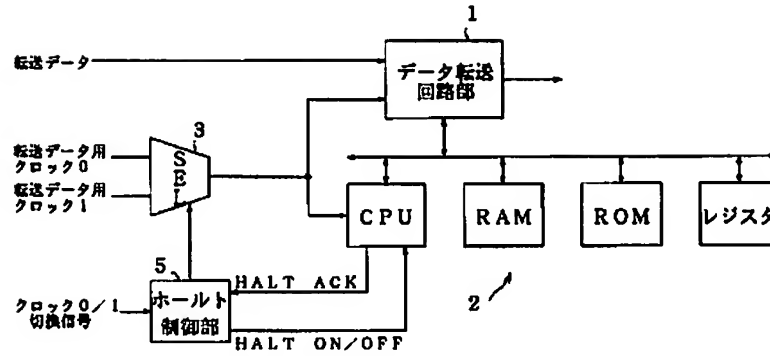
【図 3】

本願の請求項 3 の発明原理の構成を示すブロック図



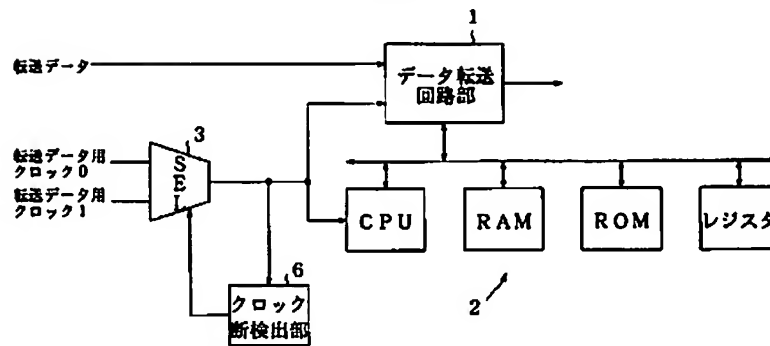
【図4】

本願の請求項4の発明原理の構成を示すブロック図



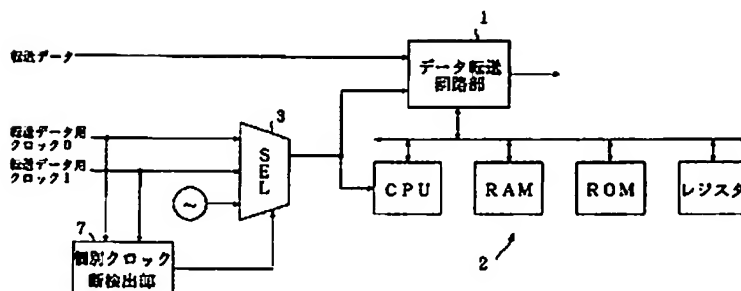
【図5】

本願の請求項5の発明原理の構成を示すブロック図



【図6】

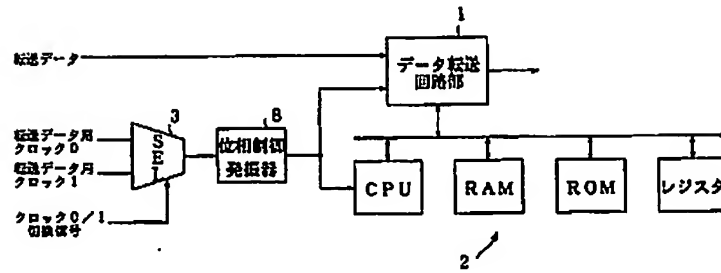
本願の請求項6の発明原理の構成を示すブロック図





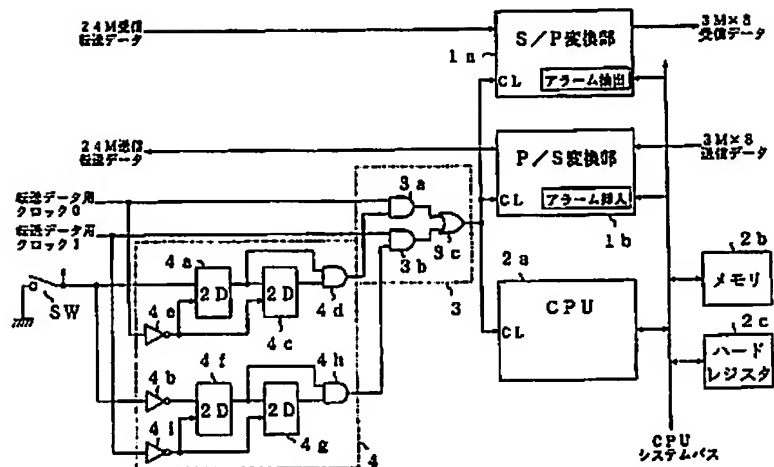
【図7】

本発明の請求項7の発明事項の構成を示すブロック図



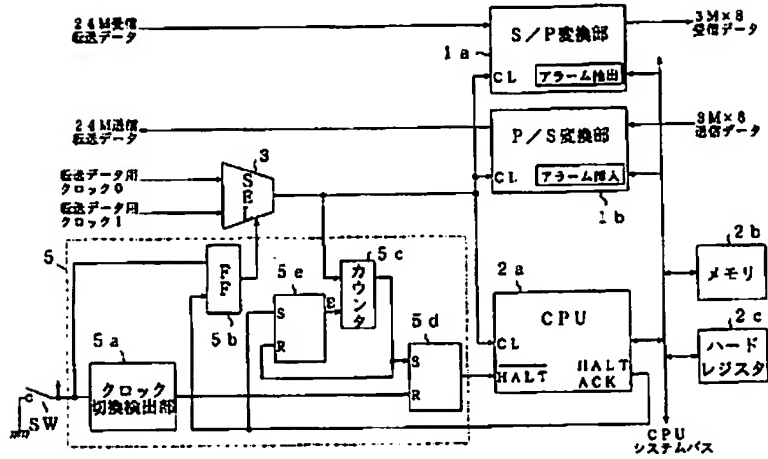
【図8】

本発明によるデータ転送装置の第1実施例によるデータ転送装置の構成を示すブロック図



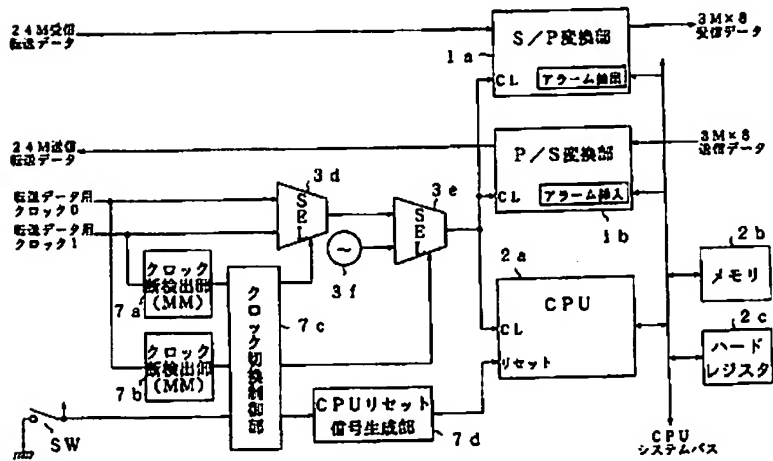
【図9】

本発明によるデータ転送装置の第2実施例によるデータ転送装置の構成を示すブロック図



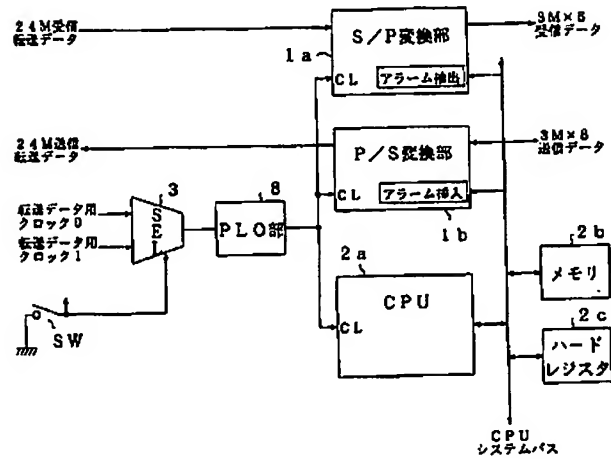
【図10】

本発明によるデータ転送装置の第3実施例によるデータ転送装置の構成を示すブロック図



【図 11】

本発明によるデータ転送装置の第4実施例によるデータ転送装置の構成を示すブロック図



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
G 0 6 F 15/16

識別記号 庁内整理番号  
3 3 0

F I  
G 0 6 F 1/04

技術表示箇所  
3 4 0 D

(72)発明者 酒井 俊行  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 鈴木 綾  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内